

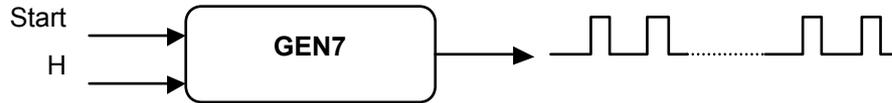
TP VHDL N°4

Description de Systèmes

Système 1

Train de 7 impulsions

Construire un dispositif fournissant un train de 7 impulsions déclenché par un signal logique 'Start'.



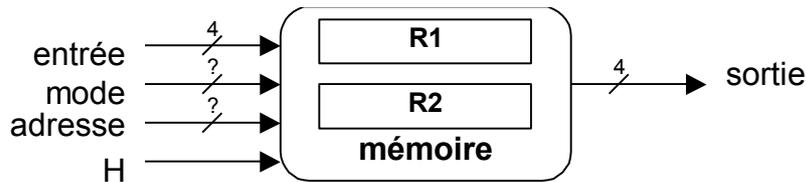
Système 2

Mémoire

Construire une mémoire de 2 mots de 4 bits contenus dans 2 registres 'R1' et 'R2'. Cette mémoire doit posséder trois modes de fonctionnement distincts :

- Mode 1 : écriture du contenu d'un registre d'entrée 'RE' dans 'R1' ou 'R2',
- Mode 2 : lecture du contenu de 'R1' ou 'R2' vers un registre de sortie 'RS',
- Mode 3 : conservation du contenu de 'R1' et 'R2' lorsque les deux modes 1 et 2 ne sont pas demandés.

Cette mémoire doit aussi posséder un système d'adressage, permettant de sélectionner le registre 'R1' ou 'R2' dans les différents modes de fonctionnement.



Système 3

Registre à tassement

Dans le cadre de l'étude de la régulation de la circulation urbaine, on est amené à simuler la dynamique d'une file de voitures sur une voie, quand un feu passe au rouge.

Un tronçon de voie 'AB' est simulé par un registre à décalage (universel) de 8 bits. Chaque bit représente la présence (=1) ou l'absence (=0) d'une voiture.

L'état initial de la file est simulé par le chargement d'une valeur aléatoire en parallèle du registre.

Construire ce registre à tassement dans deux configurations suivantes :

- Configuration 1 : les extrémités 'A' et 'B' sont verrouillées. Le registre doit alors se bloquer quand toutes les voitures sont tassées à gauche. Dans ce cas, on désire connaître le nombre de top d'horloge nécessaire au tassement.
- Configuration 2 : l'extrémité 'B' est verrouillée. Le registre peut alors être rempli par A (bit de poids faible de l'entrée) de façon aléatoire. Il doit se bloquer quand il est plein. Dans ce cas, on désire aussi connaître le nombre de top d'horloge nécessaire au tassement.

